

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-275252

(43)公開日 平成9年(1997)10月21日

(51) Int.Cl.<sup>6</sup>  
H 05 K 1/02  
H 01 L 23/12

識別記号 庁内整理番号  
F I  
H 05 K 1/02  
H 01 L 23/12

J  
Q

技術表示箇所

審査請求 有 請求項の数5 OL (全5頁)

(21)出願番号 特願平8-82262

(22)出願日 平成8年(1996)4月4日

(71)出願人 000004237  
日本電気株式会社  
東京都港区芝五丁目7番1号

(72)発明者 仙波 直治  
東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 三種 和幸  
東京都港区芝五丁目7番1号 日本電気株式会社内

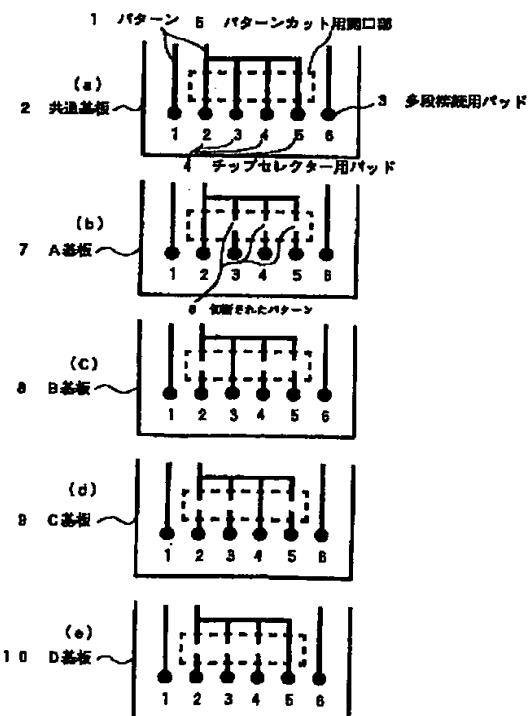
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 多段接続型半導体用キャリヤーとそれを用いた半導体装置、及びその製造方法

(57)【要約】

【課題】 本発明は、多段接続型半導体用キャリヤーの回路パターンに関するものであり、回路パターン数の低減、管理の容易化等により低成本化した半導体キャリヤーを提供する。

【解決手段】 本発明は、半導体デバイスを多段接続するパッケージのキャリヤーに於いて個々の半導体デバイスを選択する為の引き出し線の配線を並列に接続した回路パターンにすることにより、回路パターンを半導体装置の多段段数に関係なく1種類とした。以上の構成のキャリヤーを使用して、半導体装置を組立、特性検査後、電気的特性の良品のみを、レーザー、サンドブラスト、エッチングのいずれかの方法により、並列に接続した回路パターンの一部を切断して、その切断する回路パターンによってその製品を特定出来るようにした構造をとっている。



**【特許請求の範囲】**

【請求項1】基板上に少なくとも1以上の多段接続用パッドと、少なくとも2以上の個々の半導体デバイスを選択するための引き出し線を有するキャリヤーにおいて、前記引き出し線が並列に接続されていることを特徴とする多段接続型半導体用キャリヤー。

【請求項2】少なくとも前記引き出し線のうち切断する部分を除き、キャリヤーが絶縁性材料によってオーバーコーティングされていることを特徴とする請求項1記載の多段接続型半導体用キャリヤー。

【請求項3】基板上に少なくとも1以上の多段接続用パッドと、少なくとも2以上の個々の半導体デバイスを選択するための引き出し線を有し、前記引き出し線が並列に接続されている多段接続型半導体用キャリヤーを半導体装置として組立し、特性検査後、電気特性の良品として認められた前記キャリヤーの引き出し線の一部を切断し、これを多段接続したことを特徴とする半導体装置。

【請求項4】キャリヤーのパターンの一部を切断した後の引き出し線が、絶縁性材料によりコーティングされていることを特徴とする請求項3記載の半導体装置。

【請求項5】基板上に少なくとも1以上の多段接続用パッドと、少なくとも2以上の個々の半導体デバイスを選択するための引き出し線を有し、前記引き出し線が並列に接続されている多段接続型半導体用キャリヤーを半導体装置として組立する工程と、前記キャリヤーの電気特性を検査する工程と、電気特性の良品として認められた前記キャリヤーの引き出し線の一部を切断する工程と、これを多段接続する工程とを含むことを特徴とする半導体装置の製造方法。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】本発明は、多段接続型半導体装置用キャリヤーとそれを用いた半導体装置、及びその半導体装置の製造方法に関するものである。

**【0002】**

【従来の技術】従来の技術として、例えば、4段接続する半導体装置の場合について説明する。図4(a)～(d)に示すように1段目用のE基板11の場合は、多段接続用パッド3とチップセレクター用パッド2～5の内、2番パッドのみがパターン1によって接続されたパターンとなっている(図4(a))。同様に2段目用のF基板12の場合は、チップセレクター用パッド2～5の内、3番パッドのみがパターンにより接続されたパターンとなっており(図4(b))、以下同様に3段目用のG基板13の場合は4番パッドのみが(図4(c))、4段目用のH基板14の場合は5番パッドのみが接続されたパターンとなっている(図4(d))。

【0003】つまり、従来の技術では、多段接続を行う場合、1段目～4段目まで各々異なった回路パターンを有するキャリヤーを製造していた。

**【0004】**

【発明が解決しようとする課題】前記のような従来技術では、例えば4段接続する半導体装置の場合、キャリヤーの回路パターンは、1段目～4段目まで全て回路パターンが異なっていた。その為、パターン設計、ガラスマスク、キャリヤー、電気的特性検査等が全て4種類必要であり、その結果コストが高くなるという欠点があつた。更に4種類個々の良品率に差があると、半導体装置の完成率が一番低良品率の数量に限定されるという制約が発生するとともに、残量については不動在庫になるという問題点があつた。また、種類が多くなるために管理コストが高くなるという欠点があつた。

**【0005】**

【課題を解決するための手段】本発明は、基板上に少なくとも1以上の多段接続用パッドと、少なくとも2以上の個々の半導体デバイスを選択するための引き出し線を有するキャリヤーにおいて、前記引き出し線が並列に接続されていることを特徴とする多段接続型半導体用キャリヤーである。つまり、個々の半導体デバイスを選択する為の引き出し線の配線を並列に接続した回路パターンにすることにより、回路パターンを半導体装置の多段段数に関係なく1種類とした。

【0006】これを多段接続半導体装置とするには、個々のキャリヤーを半導体装置として組立し、特性検査後、電気特性の良品として認められた前記キャリヤーの引き出し線の一部を切断し、これを多段接続する。切断の方法は、レーザー、サンドブラスト、エッチング等の方法により行うことができる。なお、切断する部分が絶縁性材料によってオーバーコーティングされていない構造となっているので、確実に切断することが可能となる。

【0007】また、パターンの一部を切断した後、樹脂、ガラス、アルミナセラミックス等の絶縁性材料を用いることによって切断部分をコーティングした構造をとれば、切断を確実にことができる。

【0008】すなわち本発明によれば、半導体装置の多段段数に関係なく、キャリヤーは1種類、組立工程中は1種類、電気的良品は1種類の管理ですむ構成となっており、製造プロセスが大幅に簡略化され、歩留まりも上がるという効果を有している。

**【0009】**

【発明の実施の形態】次に本発明について、図面を参照して説明する。

【0010】(第1の実施形態)図1(a)～(e)は、本発明の第1の実施形態を示す平面図である。図1(a)は、4段接続する場合のキャリヤーを示す回路パターン例である。共通基板2は、多段接続用パッド3が1～6まで形成されている。この内、多段接続した場合のチップセレクター用パッド4は、2～5番の多段接続パッドとなっている。本発明の特徴は、チップセレクタ

一用のパッド2～5番がパターン1によって並列に接続されている。また、電気特性検査完了後に一段目から四段目までを特定するために、所望のパターンを切断するが、切断性を容易にするためにパターン切断開口部5を形成している。この開口部により、切断性を向上させることができるとなる。

【0011】本発明は、共通基板2を使用して組立、電気的特性検査まで実施する。その後電気的特性検査の良品のみをレーザー、サンドブラスト、エッチング等により、所望のパターンを切断して一段目～四段目を特定する。図2は、本発明の製造工程フローである。

【0012】図1 (b) は、一段目用A基板7であり、一段目の場合は、3～5番までの多段接続用パッド3に接続されているパターン6をカットする。同様に二段目用B基板8は、2、4、5番に接続されているパターンを(図1 (c))、三段目用C基板9は、2、3、5、番に接続されているパターンを(図1 (d))、四段目用D基板10は、2～4番パッドに接続されているパターンを各々切断する。(図1 (e))。

【0013】(第2の実施形態)図3 (a) は、切断されたパターンの切断箇所を絶縁性材料でコーティングした平面図を示す。図3 (b) は、図3 (a) の断面図を示す。基板2に形成されたパターン1をレーザー、サンドブラスト、エッチング等によって切断する。切断されたパターン6を樹脂、ガラス、アルミナセラミックス等の絶縁性材料15でコーティングする。このような構造を取ることによって、パターン材料のマイグレーションによるリークやショート不良、同様に湿気、汚染等の外部要因による不良も防止できる。従って品質の向上が図られ確実な切断が確保出来る。

#### 【0014】

【発明の効果】以上述べたように、本発明によれば、回

路パターンを半導体装置の多段段数に関係なく1種類としたのでパターン形成に関する設計、管理、資材等のコストが低減出来る。また、半導体装置を組立、特性検査後、電気的特性の良品のみを、並列に接続した回路パターンの一部を切断し、その切断する回路パターンによってその製品の段数を特定することにした構造をとっているため、製造工程中の管理が容易となるばかりでなく、各段数による良品率に左右されないため良品が有効に活用でき、従来技術による一部段数品の不動在庫が発生しなくなる。

#### 【図面の簡単な説明】

【図1】本発明の実施例1を示す平面図である。

【図2】本発明の製造工程フローである。

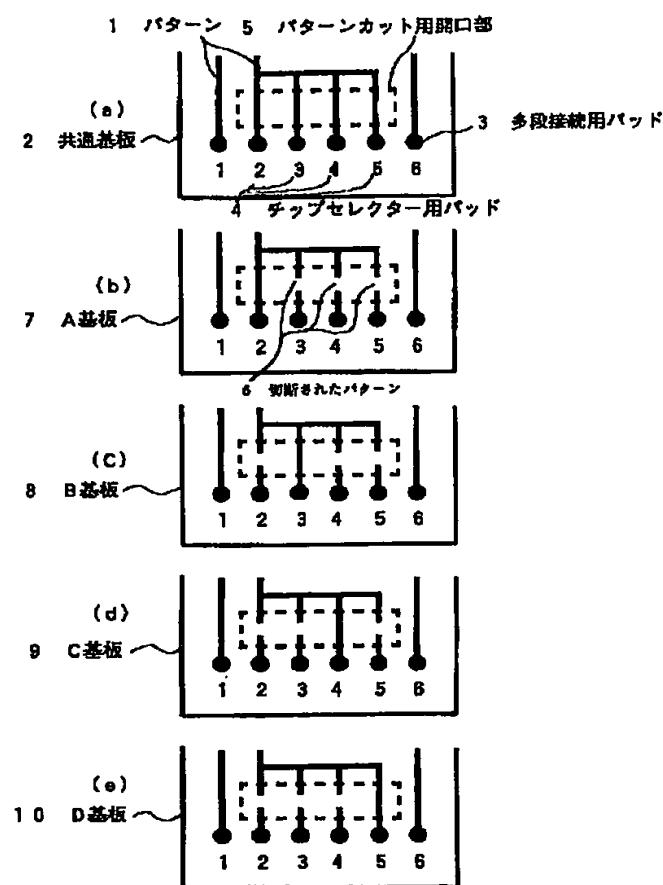
【図3】本発明の実施例2を示す平面図と断面図である。

【図4】従来技術の実施例を示す平面図である。

#### 【符号の説明】

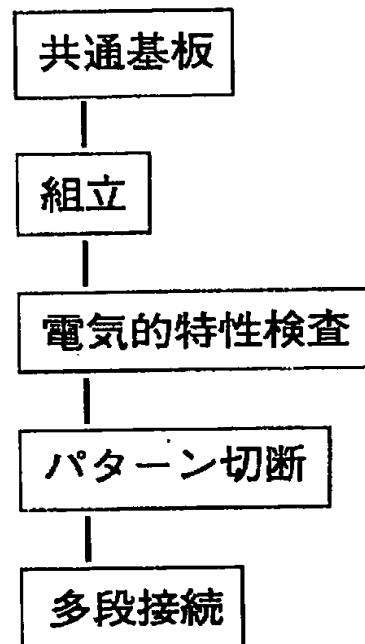
- 1 パターン
- 2 共通基板
- 3 多段接続用パッド
- 4 チップセレクター用パッド
- 5 パターン切断用開口部
- 6 切断されたパターン
- 7 A基板(1段目用)
- 8 B基板(2段目用)
- 9 C基板(3段目用)
- 10 D基板(4段目用)
- 11 E基板(1段目用)
- 12 F基板(2段目用)
- 13 G基板(3段目用)
- 14 H基板(4段目用)
- 15 絶縁性材料

【図1】

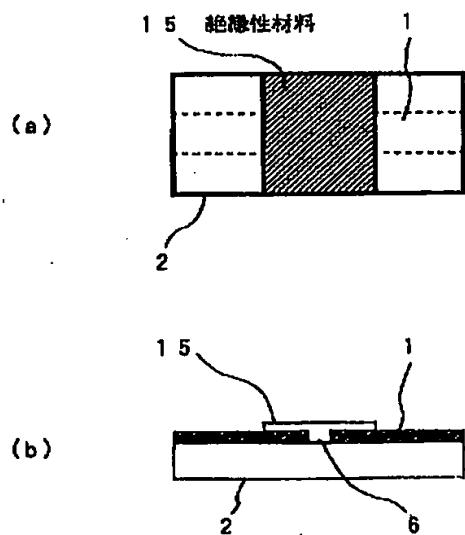


【図2】

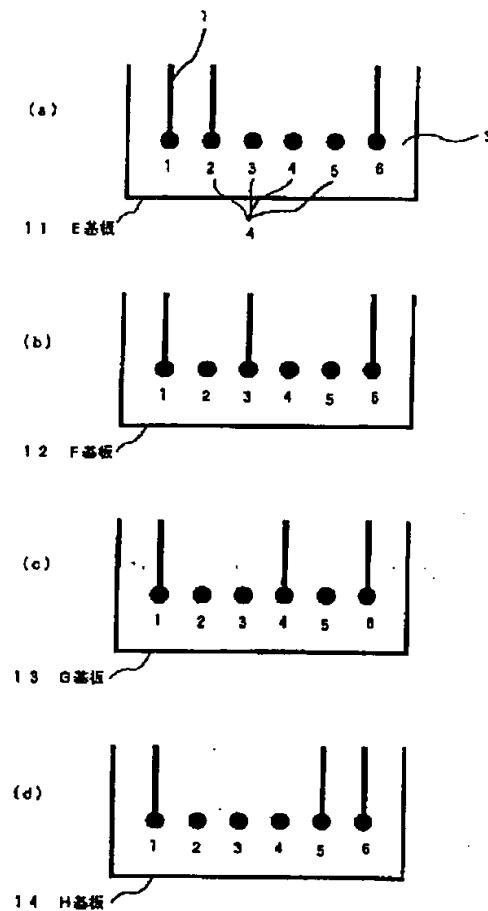
## 製造工程フロー



【図3】



【図4】



**THIS PAGE BLANK (USPTO)**